

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SEONG HYUN KIM, ET AL.

Application No.:

Filed:

For: **Vertical Structure Thin Film
Transistor**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

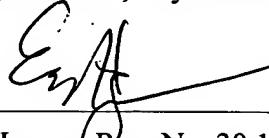
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2002-79990	14 December 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman Reg. No. 30,139

Dated: 11/25/03

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number:: Korean Patent Application 2002-0079990

Date of Application:: 14 December 2002

Applicant(s): Electronics and Telecommunications Research Institute

26 December 2002

COMMISSIONER

[Bibliography]

[Document Name] Patent Application
[Classification] Patent
[Receiver] Commissioner
[Reference No.] 0002
[Filing Date] 14 December 2002
[IPC] H01L

[Title] Thin film transistor with vertical structure

[Applicant]
[Name] Electronics & Telecommunications Research Institute
[Applicant code] 3-1998-007763-8

[Attorney]
[Name] Youngpil Lee
[Attorney code] 9-1998-000334-6
[General Power of Attorney Registration No.] 2001-038378-6

[Attorney]
[Name] Haeyoung Lee
[Attorney code] 9-1999-000227-4
[General Power of Attorney Registration No.] 2001-038396-8

[Inventor]
[Name] KIM, Seong Hyun
[Resident Registration No.] 650815-1108918
[Zip Code] 305-390
[Address] 202-101 Expo Apt., Jeonmin-dong, Yusong-gu
Daejon, Rep. of Korea
[Nationality] Republic of Korea

[Inventor]
[Name] ZYUNG, Tae Hyoung
[Resident Registration No.] 540924-1066812
[Zip Code] 305-345
[Address] 109-1504 Hanwool Apt., Shinsung-dong, Yuseong-gu
Daejon, Rep. of Korea
[Nationality] Republic of Korea

[Request for Examination] Requested

[Purpose] We file as above according to Art. 42 of the Patent Law.
Attorney Youngpil Lee
Attorney Haeyoung Lee

[Fee]

[Basic page]	13 Sheet(s)	29,000 won
[Additional page]	0 Sheet(S)	0 won
[Priority claiming fee]	0 Case(S)	0 won
[Examination fee]	Claim(s)	0 won
[Total]	29,000 won	
[Reason for Reduction]	Government Invented Research Institution	
[Fee after Reduction]	14,500 won	

[Enclosures]

1. Abstract and Specification (and Drawings)	1 copy
--	--------



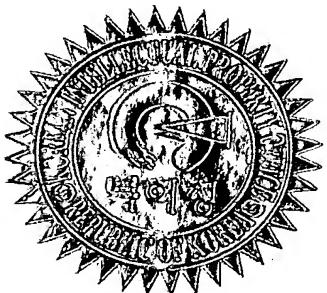
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0079990
Application Number PATENT-2002-0079990

출 원 년 월 일 : 2002년 12월 14일
Date of Application DEC 14, 2002

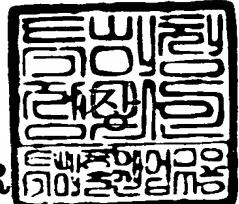
출 원 인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2002 년 12 월 26 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청 장
【참조번호】	0002
【제출일자】	2002. 12. 14
【국제특허분류】	H01L
【발명의 명칭】	수직 구조의 반도체 박막 트랜지스터
【발명의 영문명칭】	Thin film transistor with vertical structure
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	김성현
【성명의 영문표기】	KIM, Seong Hyun
【주민등록번호】	650815-1108918
【우편번호】	305-390
【주소】	대전광역시 유성구 전민동 엑스포아파트 202동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	정태형
【성명의 영문표기】	ZYUNG, Tae Hyoung
【주민등록번호】	540924-1066821

【우편번호】 305-345

【주소】 대전광역시 유성구 신성동 한울아파트 109동 1504호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 이영
필 (인) 대리인
이해영 (인)

【수수료】

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【감면사유】 정부출연연구기관

【감면후 수수료】 14,500 원

【기술이전】

【기술양도】 희망

【실시권 허여】 희망

【기술지도】 희망

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 박막 트랜지스터에 관한 것으로, 특히 전류가 반도체 박막 면에 수직인 방향으로 흐르도록 구조를 변경한 것이다. 반도체 박막 면에 수직하게 전류가 흐르므로 전류밀도가 낮은 소재로 된 반도체 박막을 사용하더라도 총전류가 크고, 트랜지스터의 동작 속도를 획기적으로 향상시킬 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

수직 구조의 반도체 박막 트랜지스터{Thin film transistor with vertical structure}

【도면의 간단한 설명】

도 1은 일반적인 무기 반도체 박막 트랜지스터의 도면이다.

도 2는 본 발명의 일 실시예에 따른 수직 구조의 무기 반도체 박막 트랜지스터의 도면이다.

도 3은 본 발명의 다른 실시예에 따른 수직 구조의 유기 반도체 박막 트랜지스터의 도면이다.

도면의 주요부분에 대한 부호의 설명

110, 210...기판 120, 220...제 1 전극

130, 230...유전체 박막 140, 240...제 2 전극

150, 250...제 3 전극 160...무기 반도체 박막

260...유기 반도체 박막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 박막 트랜지스터(thin film transistor : TFT)에 관한 것으로, 특히 전류가 반도체 박막 면에 수직인 방향으로 흐르는 TFT에 관한 것이다.

<10> TFT는 가장 일반적으로 "절연성 기판 위에 반도체 박막을 이용하여 만든 전계효과 트랜지스터(field effect transistor : FET)"로 정의할 수 있다. TFT도 FET와 마찬가지로 게이트, 소오스 및 드레인의 세 단자를 가진 소자이며, 가장 주된 기능은 스위칭 동작이다. TFT는 센서, 기억소자, 광소자 등에도 응용되지만 주된 사용 분야는 능동행렬형 평판 디스플레이의 화소 스위칭 소자이며, 액정 디스플레이(liquid crystal display)나 유기 전계발광 디스플레이(organic electroluminescent display) 화소의 스위칭 소자나 전류 구동 소자로서 널리 사용되고 있다.

<11> 비정질 실리콘을 반도체 박막으로 사용하는 TFT는 일반적으로 도 1에서와 같은 수평 구조로 되어 있다. 도 1을 참조하면, 기판(10) 위에 게이트에 해당하는 제 1 전극(20)이 형성되어 있고, 그 위에 유전체 박막(30)이 형성되어 있다. 유전체 박막(30) 위로 비정질 실리콘 박막(60)이 형성되어 있으며, 그 위에 소오스와 드레인에 해당하는 제 2 전극(40)과 제 3 전극(50)이 서로 이격되어 형성되어 있다. 유전체 박막(30)과 비정질 실리콘 박막(60), 제 1 내지 제 3 전극(20, 40, 50)의 위치 및 형태는 여러 가지가 가능하나, 공통된 점은 제 2 전극(40)과 제 3 전극(50) 사이에 전류가 흐르고, 제 1 전극(20)에 인가하는 전압을 조절하여 형성한 전기장이 그 전류에 수직하게 영향을 미침으로써 도통(on) 또는 불통(off) 상태로 스위칭 동작을 한다는 것이다.

<12> 여기서 비정질 실리콘 박막(60)에 형성되는 채널의 두께를 t 라 하고, 채널의 폭을 L 이라 하면, $t \times L$ 의 면적으로 전류가 흐른다. 일반적으로 두께 t 는 수 nm에서 수십 nm 정도여서 총 전류량을 증가시키는 데에는 한계가 있다. 따라서 종래에는 유전체 박막(30)과의 계면 부분에 인접한 극히 작은 면적을 통해 전류가 흐르게 되어 트랜지스터의 동작 속도를 향상시키기 어려운 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명의 목적은 TFT의 전류 방향을 반도체 박막의 면 방향이 아니라 면에 수직한 방향으로 흐르게 함으로써, 전류가 흐르는 면적을 극대화하고 소자의 구동 속도를 높일 수 있는 TFT를 제공하는 데 있다.

【발명의 구성 및 작용】

<14> 이와 같은 목적을 달성하기 위한 본 발명에서는, 기판 위에 제 1 전극, 유전체 박막, 제 2 전극, 반도체 박막, 및 제 3 전극이 수직 적층된 구조이고, 상기 기판에 수직으로 상기 제 2 전극과 제 3 전극 사이에 흐르는 전류를, 상기 전류에 나란하게 상기 제 1 전극으로 발생시킨 전기장으로 조절하는 것을 특징으로 하는 박막 트랜지스터를 제시한다.

<15> 여기서 특히 상기 제 2 전극은 여러 개가 일정 간격의 틈을 두고 배치된 것이어서 상기 제 1 전극에 의한 전기장이 상기 반도체 박막에 영향을 미쳐 전하를 유기할 수 있도록 구성함이 바람직하다.

<16> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이다.

<17> (제1 실시예)

<18> 도 2는 본 발명의 일 실시예에 따른 수직 구조의 무기 반도체 박막 트랜지스터(이하, TFT)의 도면이다. 이하에서 더 자세히 설명되듯이 이것은 모두 박막 기술로 구현된다.

<19> 도 2를 참조하면, 기판(110) 위에 도전재료로 된 제 1 전극(120)이 형성되고, 그 위에 유전체 박막(130)이 형성되어 있다. 그 위에 또 다른 도전재료로 된 제 2 전극(140)이 형성되어 있고, 그 위에 무기 반도체 박막(160)이 형성되어 있으며, 그 위에 제 3 전극(150)이 형성된다. 즉, 기판(110)에서부터 상방향으로 제 1 전극(120), 유전체 박막(130), 제 2 전극(140), 무기 반도체 박막(160), 및 제 3 전극(150)이 차례로 수직 적층된 구조이다. 그러나, 이 적층 순서는 얼마든지 바뀔 수 있다. 따라서, 기판에서부터 상방향으로 제 3 전극, 반도체 박막, 제 2 전극, 유전체 박막, 및 제 1 전극이 차례로 적층되어도 된다. 형성된 패턴이나 소자를 외부의 물리적 손상이나 화학적인 오염으로부터 보호하기 위해 도 2와 같은 구조의 상부에 패시베이션(미도시)을 형성할 수도 있는데, 대개 SiN_x 로 형성한다.

<20> 도 2와 같은 구조에서, 제 1 전극(120)은 게이트에 해당되고, 제 2 전극(140)과 제 3 전극(150)은 각각 소오스 및 드레인에 해당되는데 반대의 경우도 동일하다. 이러한 구조로 소자를 제작하면 제 2 전극(140)과 제 3 전극(150) 사이에 흐르는 전류는 두 전극(140, 150)이 겹치는 면적에 해당하는 면적으로 기판(110)에 수직으로 즉, 무기 반도체 박막(160) 면에 수직인 방향으로 흐르게 되고, 제 1 전극(120)에 전압을 인가함으로써 형성되는 전기장은 이 전류의 방향과 나란하게 된다. 따라서, 본 발명에 의하면 제 2 전극(140)과 제 3 전극(150) 사이에 흐르는 전류를, 상기 전류에 나란하게 형성되는 전기장으로 조절하게 된다.

<21> 이 구조에서 제 2 전극(140)이 유전체 박막(130)을 모두 덮게 되면 제 1 전극(120)에 의한 전기장이 제 2 전극(140)에 의해 차단당한다. 따라서, 제 2 전극(140)을 여러 개로 구성하여 각각의 사이에 적절한 간격(d1)의 틈을 두어 전기장이 무기 반도체 박막(160)에 영향을 미칠 수 있게 함이 바람직하다. 틈의 간격(d1)이 넓어지면 전기장이 미치는 영향이 커져서 많은 전하를 유기할 수 있지만 전류가 흐르는 면적이 좁아지고, 반대로 틈의 간격(d1)이 좁아지면 전류가 흐르는 면적은 넓어지지만 전기장의 영향이 무기 반도체 박막(160)에 덜 미치므로 많은 전하를 유기할 수 없다. 따라서, 소자의 요구에 따라 적절한 비율을 두어야 하며, 이 때 고려될 사항은 전류량과 전하 유기량이다.

<22> 기판(110)은 유리 기판, 실리콘 단결정, 또는 플라스틱 기판이 사용될 수 있는데, 공정의 조건에 따라 적합한 성질의 것을 사용한다. 무기 반도체 박막(160)이 비정질 실리콘인 경우에는 기판 온도 350°C 이하에서 증착이 가능하기 때문에 저가의 대면적 유리 기판을 사용할 수 있는 이점이 있다. 그러나, 무기 반도체 박막(160)이 단결정 혹은 다결정 실리콘, Ga, Ge 또는 이들의 혼합물과 같은 것이어서 고온의 공정을 필요로 하는 경우에는 실리콘 단결정 기판이 사용됨이 바람직하다. 따라서, 예컨대 무기 반도체 박막(160)이 비정질 실리콘인 경우에, 기판(110)으로는 유리 기판, 제 1 전극(120)은 Cr, 유전체 박막(130)은 SiN_x , 제 2 전극(140)과 제 3 전극(150)은 Al/Ta/Al/Cr 으로 구성할 수 있다.

<23> 무기 반도체 박막(160)으로 사용되는 비정질, 다결정 또는 단결정 실리콘, Ga, Ge 또는 이들의 혼합물 증착은 CVD(chemical vapor deposition)로 수행하고, 포토리소그라피를 이용하여 건식 식각이나 습식 식각으로 패터닝할 수 있다. 유전체 박막(130)은 제 1 전극(120)에 전압이 인가될 경우, 전기장 형성에 의해 무기 반도체 박막(160)의 전하

가 제 1 전극(120)으로 누설되어 빠져버리지 않고 유전체 박막(130)과 무기 반도체 박막(160)의 계면으로 모여들여 채널을 형성하게 만든다. 이러한 역할을 담당할 수 있으려면 저온에서 비교적 양질의 절연 특성을 가진 막이어야 한다. 비정질 실리콘을 무기 반도체 박막(160)으로 사용할 경우에는 SiN_x 가 유전체 박막(130)으로 주로 사용되지만, 다결정 실리콘을 무기 반도체 박막(160)으로 사용할 경우에는 SiO_x 가 사용되는 경우가 많다. 이것은 전하를 축적하기가 쉽고 V-I 특성이 히스테리시스(hysteresis)를 표시하게 되기 때문이다. 유전체 박막(130)의 증착은

TEOS(tetraethylorthosilicate)-PECVD(Plasma Enhanced CVD), LPCVD(Low Pressure CVD) 및 ECR(Electron Cyclotron Resonance)-CVD가 이용되며, 포토리소그라피를 이용하여 건식 식각이나 습식 식각으로 패터닝할 수 있다.

<24> 제 1 내지 제 3 전극(120, 140, 150)의 증착은 CVD 혹은 스퍼터링으로 수행하고, 포토리소그라피를 이용한 리프트 오프(lift-off)나 건식 식각으로 패터닝할 수 있다. 여기서, 제 1 전극(120)의 물질은 기판(110) 위에 제일 먼저 증착된다는 점에서 기판(110)과의 밀착성이 중요하고, 제 1 전극(120) 위 후속 공정의 각종 박막들이 올라가기 때문에 표면이 평탄하고 에지(edge) 및 테이퍼(taper) 가공이 쉬워야 한다. 그리고, 후속 공정에서 사용하는 각종 케미컬에 대한 내성이 강해야 한다. Cr 이외에 Ta, MoTa 합금 등이 사용될 수도 있고, Al, 양극산화된 Al, Al 합금(예를 들어, Al-Nd, Al-Ta) 등도 사용될 수 있다. 제 2 및 제 3 전극(140, 150)은 무기 반도체 박막(160)과의 저항성 접촉(Ohmic contact)을 이루어야 하고 후속 공정에서 사용하는 각종 케미컬에 대한 내성이 강해야 한다. Cr, Mo, Ta 등이 사용될 수 있으며, Mo의 경우 Mo/Al, Mo/Al/Mo의 구조로 쓰이게 되는 것이 바람직하다.

<25> (제2 실시예)

<26> 도 3은 본 발명의 다른 실시예에 따른 수직 구조의 유기 TFT의 도면이다.

<27> 유기 TFT의 제작 공정은 간단하고 비용이 저렴하며 충격에 의해 깨지지 않고 구부러지거나 접을 수 있는 기판을 사용할 수 있어서 향후 산업에 필수적인 요소가 될 것으로 예상되고 있다. 유기 TFT는 유기 반도체의 특성상 전하 이동도가 낮아 Si나 Ge 등이 쓰이는 빠른 속도를 필요로 하는 소자에는 쓰일 수가 없다. 하지만 넓은 면적 위에 소자를 제작할 필요가 있을 때나 낮은 공정 온도를 필요로 하는 경우, 또한 구부림이 가능해야 하는 경우, 특히 저가 공정이 필요한 경우에 유용하게 쓰일 수 있다. 유기 TFT에 사용되는 유기 반도체 박막은 증착, 스판 코팅, 또는 잉크젯 프린팅 기법으로 성막하고, 상온 및 저온(100 °C 이하) 공정이 가능하므로 유기 TFT를 사용한 플라스틱 기반의 유기 전자 회로의 제작이 가능하다.

<28> 도 3을 참조하면, 플라스틱과 같은 기판(210) 위에서부터 상방향 순차적으로 제 1 전극(220), 유전체 박막(230), Au로 된 제 2 전극(240), 유기 반도체 박막(260) 및 Au로 된 제 3 전극(250)이 형성된다. 이러한 구조로 제작하면, 제 2 전극(240)과 제 3 전극(250) 사이에 흐르는 전류는 두 전극(240, 250)이 겹치는 면적에 해당하는 면적으로 흐르게 되고, 제 1 전극(220)에 의해 형성되는 전기장은 전류의 방향과 나란하게 된다. 이 구조에서 제 2 전극(240)이 유전체 박막(230)을 모두 덮게 되면 제 1 전극(220)에 의한 전기장이 제 2 전극(240)에 의해 차단당하므로 제 2 전극(240)들 사이에 적절한 간격(d2)의 틈을 두어 전기장이 유기 반도체 박막(260)에 영향을 미칠 수 있게 한다. 틈의 간격(d2)이 넓어지면 전기장이 미치는 영향이 커져서 많은 전하를 유기할 수 있지 만 전류가 흐르는 면적이 좁아지고, 틈의 간격(d2)이 좁아지면 전류가 흐르는 면적은 넓

어지지만 전기장의 영향이 유기 반도체 박막(260)에 덜 미치므로 많은 전하를 유기할 수 없다. 따라서, 소자의 요구에 따라 적절한 비율을 두어야 한다. 형성된 패턴이나 소자를 외부의 물리적 손상이나 화학적인 오염으로부터 보호하기 위해 도 3에 도시한 구조 상부에 패시베이션(미도시)을 형성할 수 있는데, 유기, 무기 또는 액상(fluorocarbon liquid)으로 나눌 수 있다.

<29> 유기 반도체 박막(260)은 유기물 또는 고분자로 된 것을 가리키며, 펜타센(pentacene), 폴리티오펜(polythiophene), 폴리아세틸렌(polyacetylene) 등으로 형성할 수 있다. 일반적으로 전구체를 스펀 코팅하여 저온에서 진공 열처리하는 방법으로 성막된다. 스펀 코팅 이외에도 증착, 또는 잉크젯 프린팅 기법 등이 사용될 수 있다. 전하의 이동도를 높이기 위하여 도핑하는 방법도 사용될 수 있다. 패터닝은 셰도우 마스크(shadow mask)를 쓰는 방법, 보호막 형성 후 산소 플라즈마로 에칭하는 방법 등을 이용한다.

<30> 기판(210)으로는 실리콘과 유리 이외에도 플라스틱 기판이 사용될 수 있는데, 예를 들어 기계적 강도가 좋은 PPA[poly(parabanic acid) resin], 또는 폴리이미드(polyimide), 폴리에틸렌테레프탈레이트(polyethleneterephthalate)를 사용할 수 있다. 유전체 박막(230)은 제 1 전극(220)에 전압이 인가될 경우, 전기장 형성에 의해 유기 반도체 박막(260)의 전하가 제 1 전극(220)으로 누설되어 빠져버리지 않고 유전체 박막(230)과 유기 반도체 박막(260)의 계면으로 모여들여 채널을 형성하게 만든다. 저온에서 증착이 가능하여야 하며 비교적 양질의 절연 특성을 가진 막이어야 한다. SiN_x , SiO_x 와 같은 무기 유전체가 사용될 수 있지만 고온의 CVD로 증착되어야 하므로 다소 어

력움이 있고, CYEPL(cyanoethylpullulan), PMMA와 같은 유기 유전체가 사용될 수 있다.

<31> 이상의 실시예들에서 상세히 설명한 것과 같은 본 발명에 따르면, 트랜지스터의 구조를 수직으로 유지하고, 전류의 방향을 무기 또는 유기 반도체 박막의 표면에 수직인 방향으로 흘림으로써 전류가 흐르는 면적을 넓게 하여 총 전류의 양을 많게 하고, 제 2 전극의 적절한 부분을 뚫어 놓음으로써 제 1 전극에 의해 형성되는 전기장이 효과적으로 무기 또는 유기 반도체 박막에 작용하여 전하를 유기하게 한다.

<32> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다.

【발명의 효과】

<33> 상기한 바와 같은 본 발명에 의하면, 트랜지스터의 구조를 수직으로 유지하고, 전류의 방향을 반도체 박막의 면에 수직인 방향으로 흘림으로써 전류가 흐르는 면적을 넓게 하여 총 전류의 양을 많게 할 수 있다. 제 2 전극의 적절한 부분을 뚫어 놓음으로써 제 1 전극에 의해 형성되는 전기장이 효과적으로 반도체 박막에 작용하여 전하를 유기하게 한다. 이와 같은 박막 트랜지스터의 특징은 반도체 박막의 면에 수직인 방향으로 전류가 흐르므로 전류밀도가 낮은 소재로 된 반도체 박막을 사용하더라도 총 전류의 양을 획기적으로 증가시킬 수 있다는 것이다. 이로써, 동작속도 또한 획기적으로 증가시킬 수 있으며 저전압 구동도 가능해진다.

【특허청구범위】**【청구항 1】**

기판 위에 제 1 전극, 유전체 박막, 제 2 전극, 반도체 박막, 및 제 3 전극이 수직 적층된 구조이고, 상기 기판에 수직으로 상기 제 2 전극과 제 3 전극 사이에 흐르는 전류를, 상기 전류에 나란하게 상기 제 1 전극으로 발생시킨 전기장으로 조절하는 것을 특징으로 하는 박막 트랜지스터.

【청구항 2】

제1항에 있어서, 상기 기판에서부터 상방향으로 상기 제 1 전극, 유전체 박막, 제 2 전극, 반도체 박막, 및 제 3 전극이 차례로 적층된 것을 특징으로 하는 박막 트랜지스터.

【청구항 3】

제1항에 있어서, 상기 기판에서부터 상방향으로 상기 제 3 전극, 반도체 박막, 제 2 전극, 유전체 박막 및 제 1 전극이 차례로 적층된 것을 특징으로 하는 박막 트랜지스터.

【청구항 4】

제1항에 있어서, 상기 기판은 실리콘 단결정, 유리 또는 플라스틱 기판인 것을 특징으로 하는 박막 트랜지스터.

【청구항 5】

제1항에 있어서, 상기 반도체 박막은 무기 반도체 박막인 것을 특징으로 하는 박막 트랜지스터.

【청구항 6】

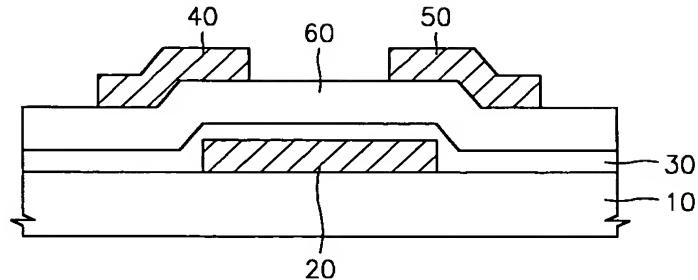
제1항에 있어서, 상기 반도체 박막은 유기 반도체 박막인 것을 특징으로 하는 박막 트랜지스터.

【청구항 7】

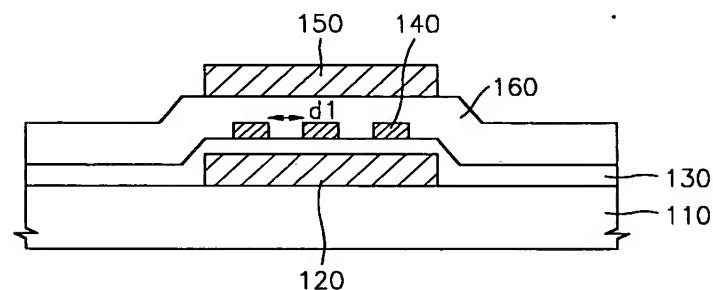
제1항에 있어서, 상기 제 2 전극은 여러 개가 일정 간격의 틈을 두고 배치된 것이어서 상기 제 1 전극에 의한 전기장이 상기 반도체 박막에 영향을 미쳐 전하를 유기하는 것을 특징으로 하는 박막 트랜지스터.

【도면】

【도 1】



【도 2】



【도 3】

